

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

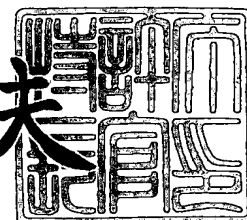
出 願 番 号 特 願 2 0 0 3 - 0 2 4 8 5 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 4 8 5 3]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 7 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000205433

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 3/00

【発明の名称】 分数分周器、テレビ受信機、ビデオ信号用集積回路及び
分数分周器方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅事
業所内

【氏名】 向出 隆信

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 分数分周器、テレビ受信機、ビデオ信号用集積回路及び分数分周器方法

【特許請求の範囲】

【請求項 1】 整数MとNの比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する分数分周器であって、

前記分周数の整数部 n を設定する整数設定手段と、

前記分周数の小数部 f を設定する小数設定手段と、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小数点以下の値を提供する小数部、及び桁上がり信号を提供する整数部とを有する累積加算手段と、

前記整数設定手段の整数部 n の値と前記累積加算結果の整数部の値を加算する加算器と、

前記分周数を前記加算器で求められた結果に切り換えて前記入力信号を分周し、前記分周信号を出力する分周手段と、

前記整数M、N及び n の関係から求められる n 分周を行う回数 M_n 、及び $n + 1$ 分周を行う回数 M_{n+1} を設定する分周回数設定手段と、

前記累積加算手段の前記整数部の桁上がり信号に基づいて、 n 分周を行った回数を前記分周出力に応答してカウントする第1のカウンタ、及び $n + 1$ 分周を行った回数を前記分周出力に応答してカウントする第2のカウンタとを有するカウンタ手段と、

前記第1のカウンタが M_n となった場合に前記累積加算結果の整数部を1に固定し、前記第2のカウンタが M_{n+1} となった場合に前記第1及び第2のカウンタ及び累積加算手段をリセットし、前記累積加算結果の整数部を0に設定する手段と、

を具備することを特徴とする分数分周器。

【請求項 2】 整数MとNの比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する分数分周器であって、

前記分周数の整数部 n を設定する整数設定手段と、

前記分周数の小数部 f を設定する小数設定手段と、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小数点以下の値を提供する小数部、及び桁上がり信号を提供する整数部とを有する累積加算手段と、

前記整数設定手段の整数部 n の値と前記累積加算結果の整数部の値を加算する加算器と、

前記分周数を前記加算器で求められた結果に切替えて前記入力信号を分周し、前記分周信号を出力する分周手段と、

前記整数 M 、 N 及び n の関係から求められる n 分周を行う回数 M_n 、及び $n+1$ 分周を行う回数 M_{n+1} を設定する分周回数設定手段と、

前記累積加算手段の前記整数部の桁上がり信号に基づいて、 n 分周を行った回数を前記分周出力に응答してカウントする第 1 のカウンタ、及び $n+1$ 分周を行った回数を前記分周出力に응答してカウントする第 2 のカウンタとを有するカウンタ手段と、

前記第 2 のカウンタが M_{n+1} となった場合に前記累積加算結果の整数部を 0 に固定し、前記第 1 のカウンタが M_n となった場合に前記第 1 及び第 2 のカウンタ及び累積加算手段をリセットし、前記累積加算結果の整数部を 0 に設定する手段と、

を具備することを特徴とする分数分周器。

【請求項 3】 分周回数設定手段は、 n 分周を行う回数 M_n 、及び $n+1$ 分周を行う回数 M_{n+1} を下記式

$$N/M = n.f$$

$$M = M_n + M_{n+1}$$

$$N = M_n \times n + M_{n+1} \times (n+1)$$

ここで n は整数、 f は小数点以下の数値、

により求めることを特徴とする請求項 1 又は 2 記載の分数分周器。

【請求項 4】 入力された複合ビデオ信号から分離されたビデオクロックから、オーディオデータをアナログ/デジタル変換するためのオーディオクロックを、フェーズロックループを用いて発生するフェーズロックループ回路を具備す

るTV受信機であって、

該フェーズロック回路は入力クロック信号を分周する分周器を有し、
該分周器は、

整数MとNの比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する分数分周器であって、

前記分周数の整数部 n を設定する整数設定手段と、

前記分周数の小数部 f を設定する小数設定手段と、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小数点以下の値を提供する小数部、及び桁上がり信号を提供する整数部とを有する累積加算手段と、

前記整数設定手段の整数部 n の値と前記累積加算結果の整数部の値を加算する加算器と、

前期分周数を前記加算器で求められた結果に切替えて前記入力信号を分周し、前記分周信号を出力する分周手段と、

前記整数M、N及び n の関係から求められる n 分周を行う回数 M_n 、及び $n+1$ 分周を行う回数 M_{n+1} を設定する分周回数設定手段と、

前記累積加算手段の前記整数部の桁上がり信号に基づいて、 n 分周を行った回数を前記分周出力に응答してカウントする第1のカウンタ、及び $n+1$ 分周を行った回数を前記分周出力に응答してカウントする第2のカウンタとを有するカウンタ手段と、

前記第1のカウンタが M_n となった場合に前記累積加算結果の整数部を1に固定し、前記第2のカウンタが M_{n+1} となった場合に前記第1及び第2のカウンタ及び累積加算手段をリセットし、前記累積加算結果の整数部を0に設定する手段と、

を具備することを特徴とするテレビ受信機。

【請求項5】 入力された複合ビデオ信号から分離されたビデオクロックから、オーディオデータをデジタル／アナログ変換するためのオーディオクロックを、フェーズロック回路を用いて発生するフェーズロック回路を具備するビデオ信号用大規模集積回路であって、

該フェーズロックループ回路は入力クロック信号を分周する分周器を有し、
該分周器は、

整数 M と N の比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する分数分周器であって、

前記分周数の整数部 n を設定する整数設定手段と、

前記分周数の小数部 f を設定する小数設定手段と、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小数点以下の値を提供する小数部、及び桁上がり信号を提供する整数部とを有する累積加算手段と、

前記整数設定手段の整数部 n の値と前記累積加算結果の整数部の値を加算する加算器と、

前記分周数を前記加算器で求められた結果に切替えて前記入力信号を分周し、前記分周信号を出力する分周手段と、

前記整数 M 、 N 及び n の関係から求められる n 分周を行う回数 M_n 、及び $n+1$ 分周を行う回数 M_{n+1} を設定する分周回数設定手段と、

前記累積加算手段の前記整数部の桁上がり信号に基づいて、 n 分周を行った回数を前記分周出力に応答してカウントする第1のカウンタ、及び $n+1$ 分周を行った回数を前記分周出力に応答してカウントする第2のカウンタとを有するカウンタ手段と、

前記第1のカウンタが M_n となった場合に前記累積加算結果の整数部を1に固定し、前記第2のカウンタが M_{n+1} となった場合に前記第1及び第2のカウンタ及び累積加算手段をリセットし、前記累積加算結果の整数部を0に設定する手段と、

を具備することを特徴とするビデオ信号用大規模集積回路。

【請求項6】 整数 M と N の比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する方法であって、

前記分周数の整数部 n を設定し、

前記分周数の小数部 f を設定し、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小

数点以下の値を小数部として提供し、及び桁上がり信号を整数部として提供し、

設定された前記整数部 n の値と前記累積加算結果の整数部の値を加算し、整数の加算値を提供し、

前記整数の加算値を分周数として前記入力信号を分周し、

前記整数 M 、 N 及び n の関係から求められる n 分周を行う回数 M_n 、及び $n + 1$ 分周を行う回数 M_{n+1} を設定し、

前記累積加算結果の整数部の値に基づいて、 n 分周を行った回数を前記分周信号に応答して第 1 のカウンタによりカウントし、及び $n + 1$ 分周を行った回数を前記分周信号に応答して第 2 のカウンタによりカウントし、

前記 n 分周を行った回数が M_n となった場合に前記累積加算結果の整数部を 1 に固定し、前記 $n + 1$ 分周を行った回数が M_{n+1} となった場合に前記第 1 及び第 2 のカウンタ及び該累積加算結果の小数部及び整数部をリセットし、前記累積加算結果の整数部を 0 に設定することを特徴とする分数分周方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、小数を伴う分周数の分周方法に関する。

【0002】

【従来の技術】

分周器は一般に入力クロック信号の周波数を整数分の 1 の周波数に変換する。しかし分周器の用途によっては、任意周波数を有する入力クロック信号から所望周波数のクロック信号を生成するために、入力クロック信号を、小数点以下の値を伴う分周数で分周可能な分周器が要求される。このような分周器として、特開 2001-251181 号公報には、分数分周装置及び分数分周方法が開示されている。

【0003】

上記公報による分周器は、任意の周波数信号の $1/N$ の分周 (N 分周) を行う際に、分母に小数点を伴う分数 (例えば $1/5.3$) での分周を行うものであり、例えばデジタル移動体通信システムにおける携帯電話機や、携帯電話機能及

びコンピュータ機能を備えた情報端末装置等の移動局装置又は、この移動局装置と無線通信を行う基地局装置などのベースバンド信号処理回路の基準周波数信号を生成する回路などに適用される。

【0004】

上記公報は、小数部設定器に小数点を伴う数値を用いた分周数における小数点以下の小数値を設定し、第1加算器でその小数値を累積加算し、保持器で、その累積加算値を保持し、この保持加算値が1以上の場合に1を出力すると共に保持加算値から1を引いて得た小数値を第1加算器へ累積加算値として出力する。更に、整数部設定器に分周数における整数値を設定し、第2加算器で、保持器から1が出力されない場合に整数値を分周数とし、そうでない場合に1と整数値との加算値を分周数とし、分周器は分周数に応じて分周を行い、この分周信号を保持器の動作タイミング信号としている。

【0005】

【特許文献1】

特開2001-251181（第6頁、図1）

【0006】

【発明が解決しようとする課題】

上記特開2001-251181に記載される分数分周装置は、小数設定部の有効桁が無限大である場合に小数を伴う分周を正確に行う事が可能である。しかし、実際には有限桁で実装を行うため累積加算結果の精度が落ち、正確な分周を行う事が不可能であるという問題がある。即ち、上記公報では、小数部設定器に設定する小数値の精度を下げると、分周の精度もそれに依りて下がる。例えば入力信号の周波数を $3/10$ （ $=1/3.3333\dots$ ）倍の周波数に変換する場合、小数部設定器に 0.33333 等の精度の高い数値ではなく、精度の低い 0.3 を設定すると、 $6/19$ （ $=1/3.6666\dots$ ）倍の周波数に変換される。

【0007】

従って本発明は、容易に精度の良い分数分周信号が得られる分数分周器を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明では、与えられた分周数による分周を達成するために必要となる n 分周の回数 M_n と、 $n+1$ 分周の回数 M_{n+1} が求められる。本発明の一実施形態に係る分数分周器は、整数 M と N の比 N/M が小数を伴う分周数で入力信号を分周し、分周信号を出力する分数分周器であって、前記分周数の整数部 n を設定する整数設定手段と、前記分周数の小数部 f を設定する小数設定手段と、

前記小数部 f の値を前記分周出力に応答して累積加算し、該累積加算結果の小数点以下の値を提供する小数部、及び桁上がり信号を提供する整数部とを有する累積加算手段と、前記整数設定手段の整数部 n の値と前記累積加算結果の整数部の値を加算する加算器と、前記分周数を前記加算器で求められた結果に切り換えて前記入力信号を分周し、前記分周信号を出力する分周手段と、前記整数 M 、 N 及び n の関係から求められる n 分周を行う回数 M_n 、及び $n+1$ 分周を行う回数 M_{n+1} を設定する分周回数設定手段と、前記累積加算手段の前記整数部の桁上がり信号に基づいて、 n 分周を行った回数を前記分周出力に応答してカウントする第 1 のカウンタ、及び $n+1$ 分周を行った回数を前記分周出力に応答してカウントする第 2 のカウンタとを有するカウンタ手段と、前記第 1 のカウンタが M_n となった場合に前記累積加算結果の整数部を 1 に固定し、前記第 2 のカウンタが M_{n+1} となった場合に前記第 1 及び第 2 のカウンタ及び累積加算手段をリセットし、前記累積加算結果の整数部を 0 に設定する手段とを具備する。

【0009】

前記小数設定手段に設定する小数点以下の値の精度がある程度低くとも、精度良く出力分周信号を得ることが可能となる。

【0010】

【発明の実施の形態】

図面を参照しながら本発明の実施の形態について詳細に説明する。以下の説明はこの発明の実施の形態であって、この発明の装置及び方法を限定するものではない。

【0011】

図 1 は本発明の一実施形態に係る分数分周器の構成を示すブロック図である。

【0012】

分周器 1 は加算器 11 から供給される整数値 ADD を分周数として入力信号 CK を分周する。遅延部 13、14 は分周器 1 出力信号 DOUT を、入力信号 CK の 1 周期分遅延する。n 分周カウンタ 3 はイネーブル入力 EN が論理 1 のとき、信号 DOUT を入力信号 CK の 1 周期分遅延してタイミングでカウントする。又 n 分周カウンタ 3 は、カウント値が M_n 設定部 2 の設定値に一致すると、信号 n END として論理 1 を出力する。n+1 分周カウンタ 6 はイネーブル入力 EN が論理 1 のとき、信号 DOUT を入力信号 CK の 1 周期分遅延したタイミングでカウントする。又 n+1 分周カウンタ 6 は、カウント値が M_{n+1} 設定部 2 の設定値に一致すると、信号 n+1 END として論理 1 を出力する。

【0013】

累積加算器 7 は信号 DOUT の立ち上がりのタイミングで、f 設定部 8 に設定されている値と小数部出力値 ADF とを累積加算する。加算の結果、桁上がりが発生すると、累積加算器 7 は整数部出力値 ADI (桁上がり信号) として論理 1 を出力する。セクタ 10 は n 分周カウンタ 3 及び n+1 分周カウンタ 6 からの選択信号 n END 及び n+1 END に応じて、“0”、“1”、“Th (through)” のうち 1 つを信号 SEL として出力する。詳細にセクタ 10 は、該選択信号が (0, 0) のとき Th、(0, 1) のとき 0、(1, 0) のとき 1 を信号 SEL として出力する。加算器 11 は n 設定部 12 の設定値及びセクタ 10 の出力信号 SEL の値を加算し、加算結果を ADD として分周器 1 に供給する。

【0014】

本実施形態では、例として $M=3$ 、 $N=10$ の N/M ($=3.33333\ldots$) 分周を行う。つまり、入力信号 CK の周波数を $1/3.33333\ldots$ 倍の周波数に変換する。ここで分周数は $3.33333\ldots$ とする。このような場合、3 分周と 4 分周を組み合わせて分周を行うことにより、所望周波数の信号を得ることができる。

【0015】

先ず、整数部 n 及び小数部 f は以下の関係式より求められる。

【0016】

$$N/M = n.f$$

ここで n は整数、 f は小数点以下の数値

本実施例では M_n 回の n 分周と、 M_{n+1} 回の $n+1$ 分周を組み合わせ、それを繰り返し行う。上記値 M 、値 N 、 n 分周を行う回数 M_n 、 $n+1$ 分周を行う回数 M_{n+1} には、以下に示す関係が有る。

【0017】

$$M = M_n + M_{n+1}$$

$$N = M_n \times n + M_{n+1} \times (n+1)$$

上記式に $M=3$ 、 $N=10$ を適用した場合、

$$n = 3$$

$$f = 0.33333\cdots$$

$$M_n = 2$$

$$M_{n+1} = 1$$

が導出される。これは、3分周を2回、4分周を1回行うことを意味している。

【0018】

図2は図1に示す分数分周器の動作例を示すタイミングチャートである。

【0019】

予め、上記したように導出された値を各部へ設定する。ここで、上記した値 $M_n (=2)$ 、 $M_{n+1} (=1)$ を M_n 設定部2及び M_{n+1} 設定部4へ設定しても、勿論この分数分周回路は正常に動作するが、累積加算器7の整数部が論理1とならず（桁上がりが発生せず）、本回路の詳細動作を説明することができない。従って説明の都合上、 $M=6$ 、 $N=20$ の $N/M (=3.33333\cdots)$ 分周を行うものとする。更に、小数部 f として 0.33333 等桁数の多い数値を使用してもよいが、説明を簡単にするため、本実施形態では、小数部 f として 0.3 を使用する。小数部 f に 0.3 を使用しても、この分数分周回路は入力信号を正確に分周することができる。尚、上記値 M 、 N には任意の整数を使用できる。

【0020】

上記式に $M=6$ 、 $N=20$ を適用した場合、設定値は以下のようになる。

【0021】

$$n = 3$$

$$f = 0.3$$

$$M_n = 4$$

$$M_{n+1} = 2$$

これは、3分周を4回、4分周を2回行うことを意味している。

【0022】

従って、整数部 n ($=3$) を n 設定部 12 へ、小数部 f ($=0.3$) を f 設定部 8 へ、 M_n ($=4$) を M_n 設定部 2 へ、 M_{n+1} ($=2$) を M_{n+1} 設定部 4 へ設定する。

【0023】

初期状態から小数部 f の累積加算を 1 回行った場合、累積加算器 7 の出力結果は以下の通りとなる (ST1)。

【0024】

整数部 ADI : 0

小数部 ADF : 0.3

従って、セクタ 10 の出力 SEL は 0 であり、加算器 11 は n 設定部 12 の値をそのまま出力し、分周器 1 は 3 分周を行うと共に n 分周カウンタ 3 の値が 1 となる。続けて累積加算器 7 は累積加算結果の小数值 ADF : 0.3 と f 設定部 8 の小数部 $f = 0.3$ の累積加算を行い以下の結果を得る (ST2)。

【0025】

整数部 ADI : 0

小数部 ADF : 0.6

従って、セクタ 10 の出力 SEL は 0 であり、加算器 11 は n 設定部 12 の値をそのまま出力し、分周器 1 は 3 分周を行うと共に n 分周カウンタ 3 の値が 1 増加する。続けて累積加算器 7 は累積加算結果の小数值 ADF : 0.6 と f 設定部 8 の小数部 $f = 0.3$ の累積加算を行い以下の結果を得る (ST3)。

【0026】

整数部 ADI : 0

小数部 ADF : 0. 9

従って、セクタ 10 の出力 SEL は 0 であり、加算器 11 は n 設定部 12 の値をそのまま出力し、分周器 1 は 3 分周を行うと共に n 分周カウンタ 3 の値が 1 増加して 3 となる。

【0027】

次の分周器出力 DOUT の立ち上がり t1 で、累積加算器 7 の出力結果は以下の通りとなる。つまり、ここで桁上がりが発生する。

【0028】

整数部 ADI : 1

小数部 ADF : 0. 2

桁上がりが発生し、整数部 ADI が 1 となると、セクタ 10 は選択出力 SEL として 1 を出力する (ST4)。この結果、加算器 11 は 4 を出力し、分周器 1 は 4 分周を行う。このとき n+1 分周カウンタ 6 のイネーブル入力 EN が論理 1、分周カウンタ 3 のイネーブル入力 EN が論理 0 となる。従って、n 分周カウンタ 3 は動作を停止し、n+1 分周カウンタ 6 の値が 1 となる (ST5)。

【0029】

次の分周器出力 DOUT の立ち上がり t2 で、桁上がり信号 (ADI) が 0 となり、累積加算器 7 の出力結果は以下の通りとなる (ST6)。

【0030】

整数部 ADI : 0

小数部 ADF : 0. 5

整数部 ADI が 0 となると、セクタ 10 は選択出力 SEL として 0 を出力する。この結果、加算器 11 は 3 を出力し、分周器 1 は 4 分周を行う。このとき n+1 分周カウンタ 6 のイネーブル入力 EN が論理 0、分周カウンタ 3 のイネーブル入力 EN が論理 1 となる。従って、n+1 分周カウンタ 6 は動作を停止し、n 分周カウンタ 3 の値が 1 増加されて 4 となる。このとき M_n 設定部 2 の設定値 4 と n 分周カウンタ 3 の値が一致し、出力 nEND が論理 1 となる。

【0031】

次の分周器出力 DOUT の立ち上がり t3 で、累積加算器 7 の出力結果は以下

の値となり (ST7)、 $n+1$ 分周カウンタ6の値が1増加して2となる。

【0032】

整数部ADI: 0

小数部ADF: 0.8

このとき、 M_{n+1} 設定部4の設定値 (=2) と $n+1$ 分周カウンタ6の値が一致し、出力 $n+1$ ENDが論理1となる。この結果、ANDゲート9の両入力 が論理1を満たし、信号RSTが論理1となり (ST8)、 n 分周カウンタ3、 $n+1$ 分周カウンタ6、累積加算器7がリセットされ、システムは最初の状態に戻る (ST0)。

【0033】

以下同様に上記動作を繰り返し行う。これによって、分周数が有限桁で表現不可能な場合においても精度良く N/M 分周を行う事が可能となる。即ち、分周数の小数部精度に関わらず、精度の良い分数分周信号を生成することが可能となる。

【0034】

尚、本発明による分数分周器は、設定値を変更することにより、分周数が整数の整数分周器としても動作する。又、上記実施形態では、 n 分周カウンタ3のカウント値が M_n となった場合にセクタ10が論理1を出力 (累積加算器7の整数部を1に固定) し、 $n+1$ 分周カウンタ6が M_{n+1} となった場合に、 n 分周カウンタ3、 $n+1$ 分周カウンタ6、及び累積加算器7がリセットされ、その結果、累積加算器7の整数部が0に設定された。しかし、逆の場合もある。即ち、各設定部の設定する値に応じて、 $n+1$ 分周カウンタ6のカウント値が M_{n+1} となった場合にセクタ10が論理0を出力 (累積加算器7の整数部を0に固定) し、 n 分周カウンタ3が M_n となった場合に、 n 分周カウンタ3、 $n+1$ 分周カウンタ6、及び累積加算器7がリセットされ、その結果、累積加算器7の整数部が0に設定されこともある。

【0035】

図3は本発明に係る分数分周器21、22を用いたPLL (phase lock loop) 回路20の構成を示すブロック図である。

【0036】

分数分周器 21 は入力クロック信号 $ck0$ を上記実施形態で説明したように分周し、分周下クロック信号 $ck1$ を位相比較器 23 に供給する。位相比較器 23 はクロック信号 $ck1$ と分数分周器 22 の出力クロック信号 $ck5$ の位相差を検出し位相差信号 $PD1$ を出力する。位相差信号 $PD1$ はローパスフィルタ (LPF) 24 で濾波され、位相差信号 $PD2$ として $VCXO$ (電圧制御クリスタル発振器) 25 に供給される。 $VCXO$ 25 は位相差信号 $PD2$ に対応する周波数を有するクロック信号 $ck2$ を発生する。クロック信号 $ck2$ は分数分周器 22 により分周され、クロック信号 $ck3$ として位相比較器 23 に供給される。以上の結果、 $PLL20$ は周期が一定のクロック信号 $ck2$ を出力する。

【0037】

図 4 は図 3 のような PLL 回路 20 を用いた TV 受信機 30 の構成を示すブロック図である。

【0038】

36 は例えばデジタル放送を受信する STB (set top box) や DVD プレーヤ等、ビデオ・オーディオデータを提供する外部機器である。分離機 31 は外部機器 36 から提供される複合ビデオ信号を分離し、ビデオクロック及びビデオデータをビデオ $DAC32$ へ、オーディオデータをオーディオ $DAC34$ へ、ビデオクロック及び周波数誤差情報を $PLL20$ へ供給する。 $PLL20$ はビデオクロック及び周波数誤差情報に基づいてオーディオクロックを発生しオーディオ $DAC34$ に供給する。

【0039】

ビデオ $DAC32$ は入力ビデオデータをビデオクロックのタイミングで DA 変換し、アナログ映像信号を CRT あるいは LCD 等の画像表示装置に供給する。画像表示装置 33 は入力映像信号に対応する画像を表示する。オーディオ $DAC34$ は入力オーディオデータをオーディオクロックのタイミングで DA 変換し、アナログ音声信号をスピーカ 35 に供給し、スピーカから音声が発生される。

【0040】

図 5 は図 4 に示した分離機 31、ビデオ $DAC32$ 、 $PLL20$ 、オーディオ

DAC34を1チップに集積したビデオ信号用LSI（大規模集積回路）40を示す。このように1チップ化することにより、AV機器の設計コストが低減され、本発明による分数分周器を様々なAV機器に適用することができる。

【0041】

【発明の効果】

以上説明したように本発明によれば、分周数の小数部精度に関わらず、精度の良い分数分周信号を生成することが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る分数分周器の構成を示すブロック図。

【図2】

図1に示す分数分周器の動作例を示すタイミングチャート。

【図3】

本発明に係る分数分周器を用いたPLL回路の構成を示すブロック図。

【図4】

図3のようなPLL回路を用いたTV受信機の構成を示すブロック図。

【図5】

図4に示した分離機、ビデオDAC、PLL、オーディオDACを1チップに集積したビデオ信号用LSI40の構成を示すブロック図。

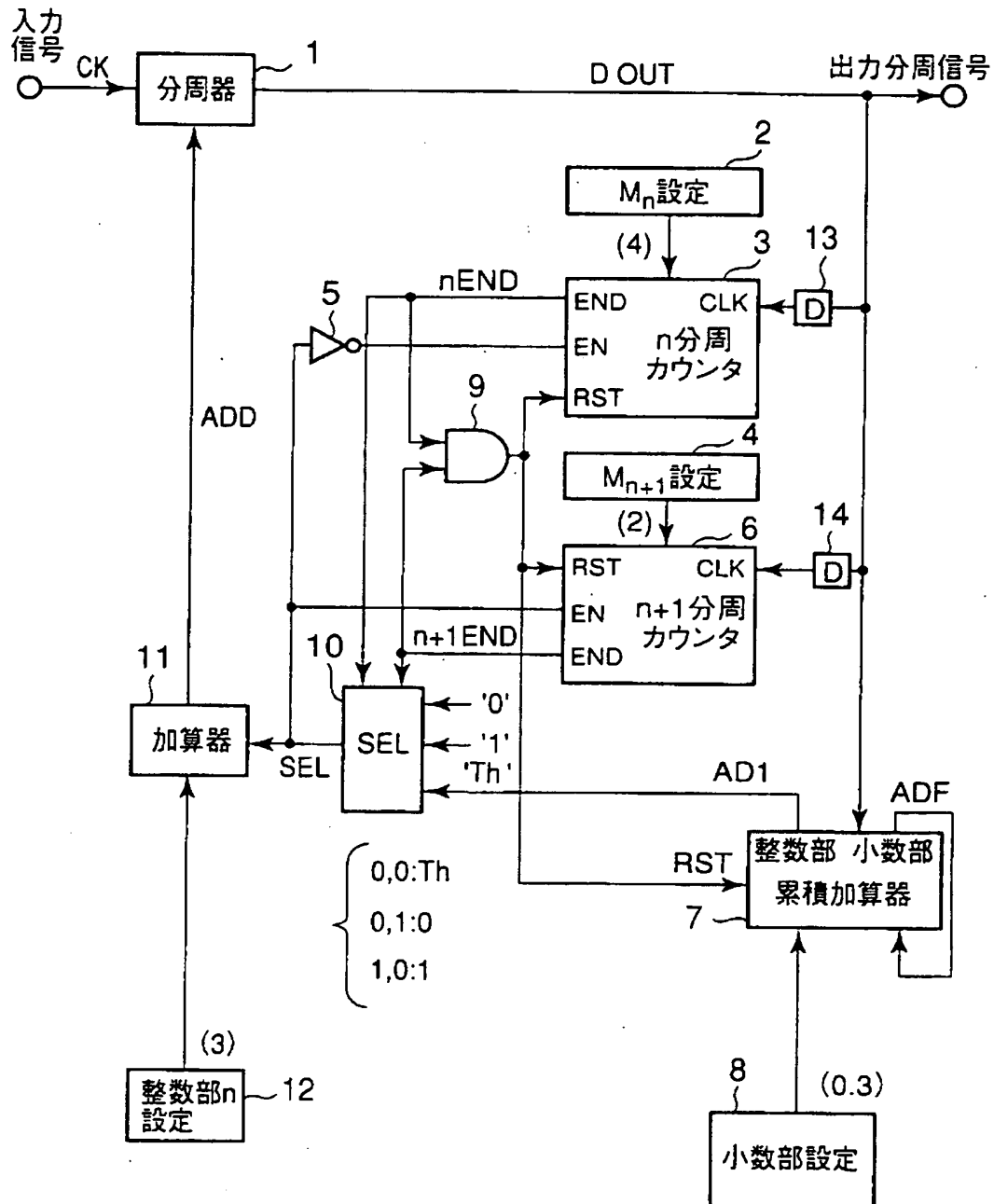
【符号の説明】

1…整数分周器、3…n分周カウンタ、6…n+1分周カウンタ、7…累積加算器、20…PLL回路、30…TV受像機、40…ビデオ信号用LSI

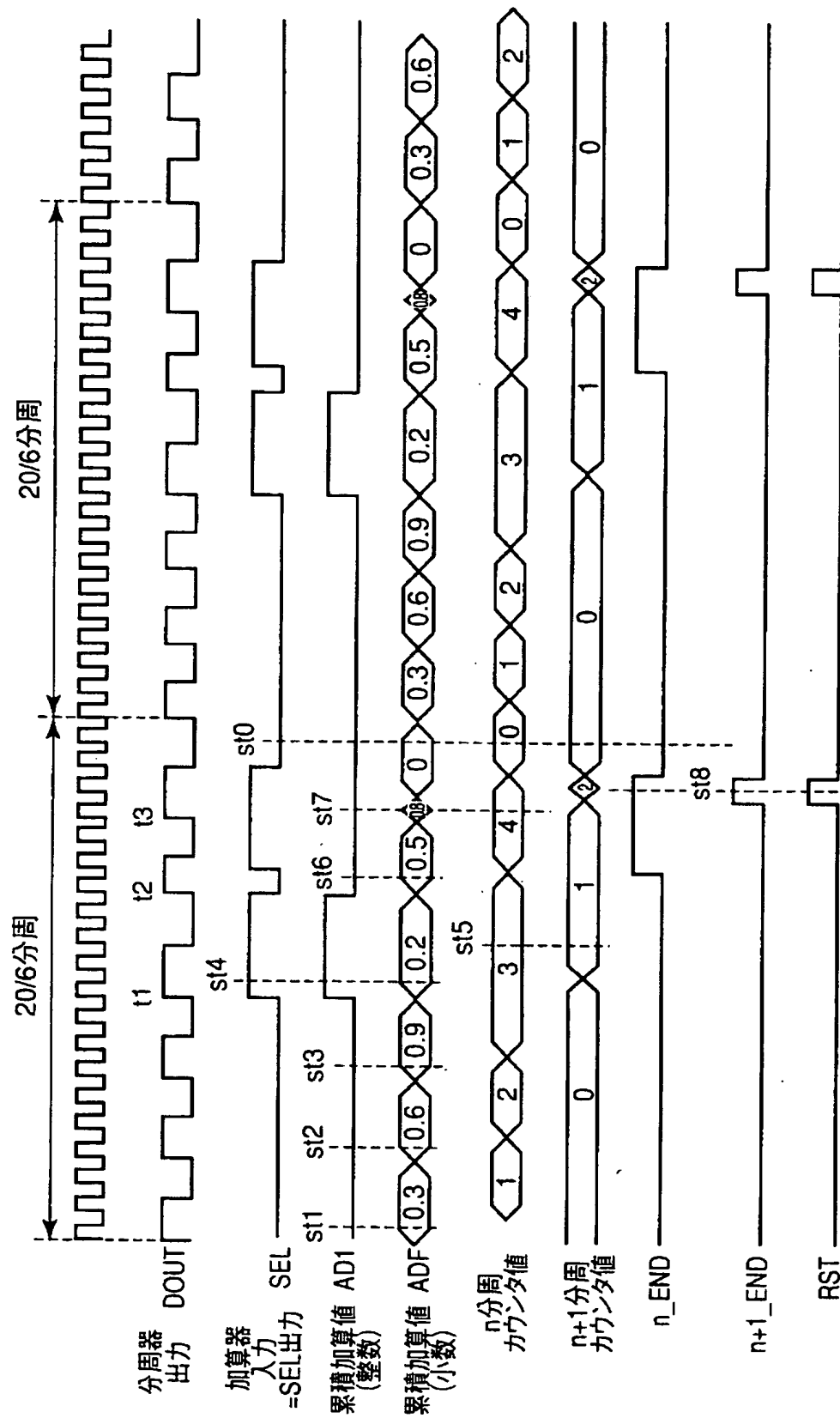
【書類名】

図面

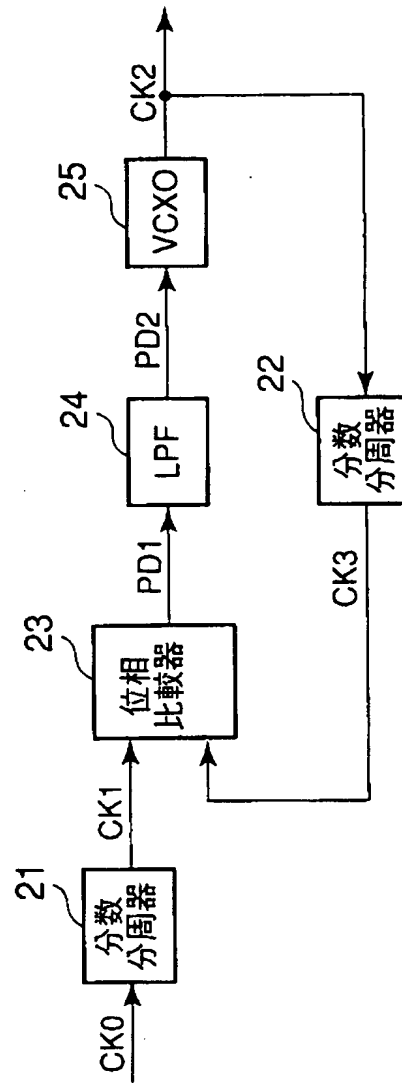
【図 1】



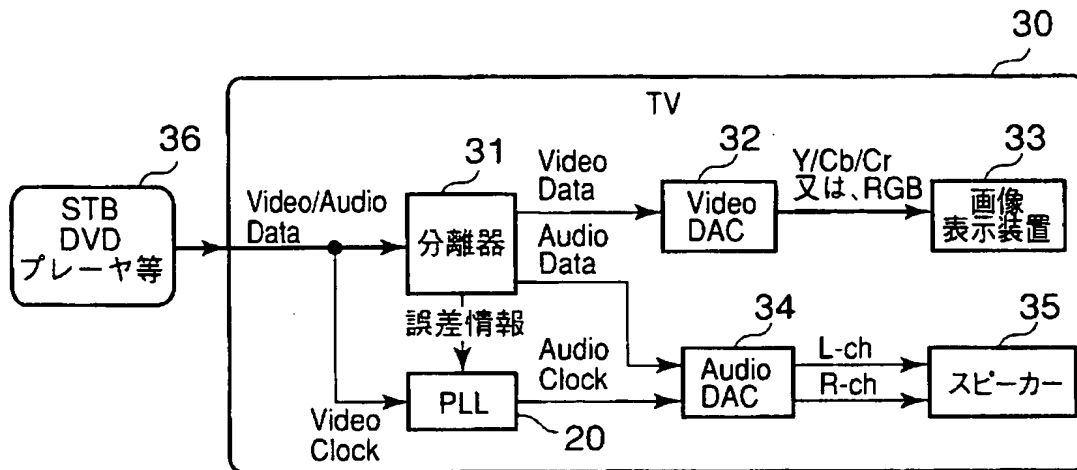
【図 2】



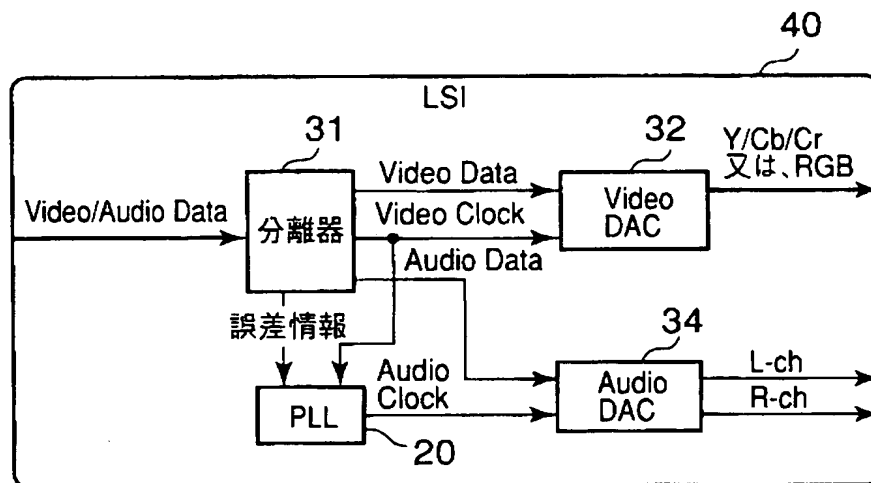
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 分周数の小数部精度に関わらず、精度の良い分数分周信号を生成する

。

【解決手段】 累積加算器 7 は f 設定部 8 に設定された小数値 f を分周出力 DOUT に応答して累積加算する。加算器 1 は n 設定部 12 の整数部 n の値と累積加算器 7 の加算結果の整数部 ADI を加算する。分周器 11 は加算器 11 で求められた結果を分周数として任意周波数信号 ck を分周する。分周器 1 の出力 DOUT に応答して、 n 分周カウンタ 3 は n 分周を行った回数を、 $n+1$ カウンタは $n+1$ 分周を行った回数を、前記累積加算器 7 の整数部の桁上がり信号 ADI の有無に基づいてカウントする。セレクタ 10 は n 分周カウンタ 3 が M_n となった場合に累積加算結果の出力信号 SEL を 1 に固定し、 $n+1$ カウンタ 6 が M_{n+1} となった場合に n 分周及び $n+1$ 分周カウンタ及び累積加算器 7 をリセットし、出力信号 SEL を 0 に設定する。

【選択図】 図 1

特願 2003-024853

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
 [変更理由] 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
 [変更理由] 名称変更
 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝